

УДК 621.396.662

РЕАЛІЗАЦІЯ ПРЯМОГО ЦИФРОВОГО СИНТЕЗАТОРА ЧАСТОТИ ІЗ ФАЗОВИМ ЯДРОМ НА ОСНОВІ СУМАТОРА У БАЗИСІ ГАЛУА

ПОЛІКАРОВСЬКИХ О.І., ТРОЦИШИН І.В.

Одеська національна академія зв'язку ім. О.С. Попова

GALOIS ADDERS IN PHASE CORE IN MODERN DIRECT DIGITAL SYNTHESIZERS

POLIKAROVSKYKH O.I., TROCISHIN I.V.

Odessa National Academy of Telecommunications n.a. O.S. Popov

Анотація. Розглянуто принципи побудови прямих цифрових синтезаторів частоти із фазовим ядром на основі суматора у базисі Галуа. Запропоновані структури синтезаторів із фазовими акумуляторами на основі суматорів Галуа та дані приклади реалізації таких структур у програмованих логічних інтегральних схемах

Abstract. Principles of construction of direct digital frequency synthesizer phase from the kernel based on Galois adder was proposed. The proposed structure of the DDS based on Galois field adders, and provide examples of such structures in field-programmable gate array (FPGA).

ПОСТАНОВКА ЗАДАЧІ

Прямі цифрові синтезатори частоти відіграють важливу роль у сучасних радіоелектронних пристроях. Це забезпечується багатьма значними перевагами: швидкість пере налаштування частоти, висока розрізняювальна здатність, широка синтезована смуга частот. Багаторівневі DDS через технологічність, надійність, можливість мікромініатюризації та унікальності технічних характеристик (нерозривність фази під час перемикання з частоти на частоту, можливість формування сигналів складної форми, цифрове керування амплітудою, частотою та фазою вихідного коливання) на сьогодні знайшли застосування у системах зв'язку. Особливо перспективним є використання DDS у радіотехнічних системах передачі інформації з підвищеною завадостійкістю та захищеністю.

Розрізнення за частотою досягає тисячних частин герца для вихідної частоти до декількох десятків мегагерц, що є недосяжним параметром для інших систем синтезу. Сучасні синтезатори DDS виготовляється за субмікронною КМОП - технологією з використанням логіки з напругою живлення у 3 вольти і мініатюрних корпусів. Однак використання дискретизації та цифро-аналогового перетворення, які використовуються, накладають певні обмеження:

1 Максимальна вихідна частота не може бути вище половини тактової (на практиці вона ледь досягає $1/3 f_{max}$), проте завдяки застосуванню нових технологій тактова частота постійно зростає (Синтезатор AD9914 при тактовій частоті 3,5 ГГц здатен синтезувати гармонійний сигнал частотою 1,4 ГГц з прийнятними рівнями гармонічних складових).

2 Окремі бічні складові у спектрі сигналу на виході синтезатора DDS можуть бути значно більшими, ніж у синтезаторах, що побудовані на основі системи ФАПЧ, бо спектральна чистота вихідного сигналу синтезатора DDS залежить від характеристик ЦАП.

3 Потужність, що споживається синтезатором практично прямо пропорційна тактовій частоті синтезатора і може досягати одиниць ват для високочастотних синтезаторів, тому на високих частотах DDS можуть виявитись неприйнятними для пристроїв з живленням від батарей.

У системах цифрового синтезу особливе місце займає суматор у якості фазового акумулятора та як частина різноманітних блоків модуляції вихідного сигналу. Отже, саме від будови суматора залежать тактико-технічні параметри синтезаторів прямого цифрового синтезу. Таким чином, завдання мінімізації часу обчислення і зменшення апаратних витрат зводиться до оптимізації операцій підсумовування, яка використовується як у ядрі синтезатора так і у різноманітних допоміжних блоках, якщо необхідні для формування повноцінного вимірювального або

телекомунікаційного сигналу. Одним з розв'язань поставленої задачі може бути реалізація синтезаторів у кінцевих полях (полях Галуа) [2].

АНАЛІЗ ДОСЛІДЖЕНЬ І ПУБЛІКАЦІЙ

Задачу підвищення швидкості та надійності обчислень можна розглядати з двох боків. З одного боку це апаратний рівень, фундаментальними обмеженнями на якому є технічні можливості створення елементної бази – зменшення розмірів кристалів, збільшення частоти синхронізації (тактової частоти), вирішення проблем тепловідведення тощо. Багато в чому цей рівень визначається сучасним станом фундаментальних наук, перш за все, фізики. З іншого боку це – математико-алгоритмічний рівень обчислень, і фундаментальними обмежуючими факторами тут виступають, в числі інших, необхідність послідовного обчислення, коли наступний етап (крок) частково або повністю залежить від попередніх кроків. Навіть найпростіші арифметичні операції додавання і множення при реалізації їх обчислювачами з архітектурою фон – Неймана здійснюються побітно, і обчислення кожного наступного біта залежить від результату операції над попередніми бітами (у даному випадку це знак переносу – carry sign), існують й інші обчислювальні архітектури, в яких акцент зроблено на паралельність і масовість обчислень. Велику популярність зараз мають нейронні мережі, які, володіючи алгоритмічною універсальністю машини Тьюринга [4], вже довели свою перевагу у слабо формалізованих завданнях, пов'язаних з необхідністю навчання. Використання системи залишкових класів (СЗК) і модулярних обчислень дозволяє істотно збільшити швидкість арифметичних обчислень за рахунок паралельного виконання операцій над залишками [5]. Сучасна апаратна база дозволяє також замінювати арифметичні операції над залишками однотактним і табличними вибірками. Довгий час модулярна арифметика розглядалася як цікаве, але суто теоретичне питання через складність виробництва обчислювальних структур для її реалізації. Сучасний розвиток технології інтегральних схем зробив можливим використання модулярної арифметики у багатьох областях цифрової обробки сигналів, розпізнавання образів та інших завдань, що вимагають інтенсивних обчислень переваги реалізації синтезаторів прямого цифрового синтезу (DDS) у кінцевих полях досягається заміною суматорів (а у деяких випадках перемножувачів) еквівалентними схемами, котрі за певних умов дозволяють значно економити апаратні ресурси і реалізувати синтезатори з покращеними параметрами.

ПОСТАНОВКА ЗАДАЧІ

Розглянемо практичну реалізацію синтезатора подібного виду у програмованих логічних інтегральних схемах. У роботі [3] наведено метод удосконалення прямих цифрових синтезаторів частоти шляхом заміни ядра синтезатора на основі класичного накопичувального суматора на ядро реалізоване у модулярній арифметиці. У роботі [2] розроблена теоретична основа та запропонований метод реалізації арифметики Галуа на основі каскадного кодування. Суть розв'язання полягає в тому, що кожен елемент поля в кільці GF_n^m представляється у вигляді логічного виразу рекурсії відповідної операції над попередніми елементами. Наприклад для поля Галуа GF_2^4 з ключем $G_{i+1} = G_i \oplus G_{i-4}$, послідовність елементів додавання a_0, a_2, \dots, a_{15} (1111010110010000), які кодують у базисі Галуа відповідні числа 0, 1, 2, ..., 15 записуються у вигляді: $b_1, b_2, b_3, b_4, b_1 \oplus b_4, b_1 \oplus b_2 \oplus b_4, \dots$. Особливістю такої паралельної арифметики у базисі Галуа є різна форма подачі двох операндів. Перший операнд записується у вигляді коду залишків за відповідним модулем P , а другий операнд задається у вигляді відповідного логічного рівняння над залишками b_1, b_2, b_3, b_4 , причому цей вираз визначає логічні операції по модулю P над кодом першого операнда при обчисленні залишків коду результату сумування кодів Галуа.

Для прикладу додамо два числа $X = 5_{(10)}$, $Y = 7_{(10)}$. Обчислимо їх суму, використовуючи коди поля Галуа GF_2^4 , тобто

	b_1	b_2	b_3	b_4
$X =$	1	0	1	1
$Y =$	$b_1 \oplus b_2 \oplus b_3$	$b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2$	$b_2 \oplus b_4$
$X + Y =$	0	0	0	1

Це відповідає коду Галуа числа $12_{(10)}$.

Важливими перевагами наведеної операції додавання чисел у кодах Галуа по відношенню до виконання операцій додавання двійкових чисел у базисі Радемахера є наступні:

- відсутність наскрізних переносів між розрядами коду Галуа і можливість розпаралелювання та паралельного виконання операцій у всіх розрядах одночасно;
- однаковість числа розрядів представлення чисел у базисах Радемахера та Галуа;
- зменшення апаратної складності та підвищення швидкодії процесорів у базисі Галуа порівняно з процесорами у базисі Радемахера.

Операція множення чисел $X \cdot Y$ у кодах поля Галуа може бути виконана двома способами:

1 Шляхом x – кратного додавання чисел Y при $Y > X$, або Y - кратного додавання чисел X при $X > Y$.

2 Шляхом послідовного додавання подвоєних значень числа X згідно двійкового представлення числа Y у базисі Радемахера.

Розглянемо можливість реалізації модулярного суматора на базі ПЛІС з наступними характеристиками: формат даних – 64-розрядні цілочисельні дані; вхідні дані суматора надходять у системі залишкових класі у форматі вектора, що складається з тринадцяти 6 розрядних значень, відповідно до заданих основ; вихідні дані також надходять у системі залишкових класів; суматор розмістимо на окремій ПЛІС фірми Altera.

Модулярний суматор має містити:

- два 78-розрядних вхідних реєстри для прийому операндів із шини входу;
- 78-розрядний реєстр для видачі результату на шину виходу;
- двадцять шість 7-розрядних суматорів для додавання та корегування операндів;
- Тринадцять 7-розрядних мультиплексорів.

Операнди надходять в суматор по 77-розрядній вхідній шині даних і записуються у відповідні реєстри. На першому суматорі відбувається додавання операндів, а на другому – корекція результату, відповідно до функціональної схеми рис.1. Керування мультиплексором, тобто вибір результату залежить від одиниці переносу, що виникає на другому суматорі, якщо така виникла – знімається результат з першого плеча і записується у вихідний реєстр. Реалізуємо функціональну схему такого суматора у програмованій логічній інтегральній схемі. За розрахунками на розроблювальний модулярний суматор потрібно не більше 80000 логічних елементів (ЛЕ). Після вивчення сімейства Cyclone III було прийнято рішення використовувати ПЛІС Cyclone III EP3C80.

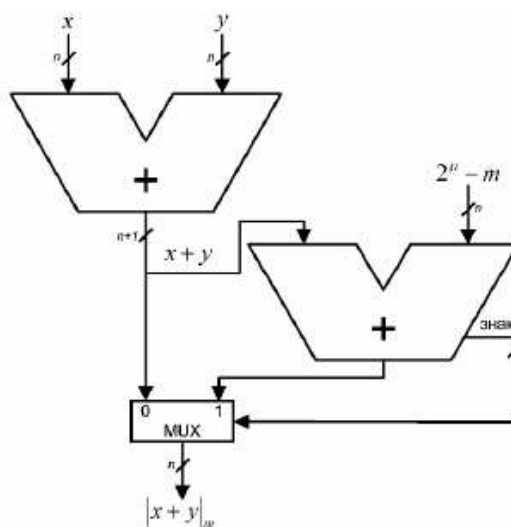


Рисунок 1 – Функціональна схема модулярного суматора

Нижче представлені основні характеристики даної ПЛІС :

- кількість ЛЕ – 81262;
- кількість портів введення / виведення – 296;

- кількість перемножувачів 18x18 – 488;
- число блоків пам'яті – 305.

На рис. 2 зображено умовне графічне зображення модулярного суматора у САПР QUARTUS II фірми Altera. Тут S1 – запис даних у порт A, S2 – запис даних у порт B, S3 – видача результату. CLK – системний синхроімпульс (виробляється тактовим генератором), R – скидання, A[77..0] – порт A для вхідних 78-розрядних даних, B[77..0] – порт B для вхідних 78-розрядних даних, Q[77..0] – порт Q для вихідних 78-розрядних даних.

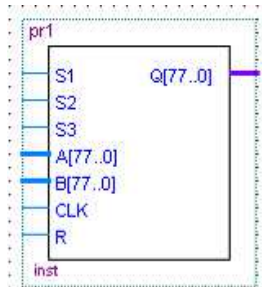


Рисунок 2 – Умовне графічне позначення модулярного суматора у системі моделювання QUARTUS II фірми Altera

Приклад функціонування суматора: нехай необхідно додати два числа Дано: $A = 2 = 000010_2$, $B = 5 = 000101_2$, Корегування $51 = 110011_2$

$$\begin{array}{r}
 + \quad 000010000111 \\
 \quad 000101110011 \\
 \hline
 000111111010
 \end{array}$$

Одиниці переносу немає – результат знімається з плеча мультиплексора data0x[6..0] і він дорівнює $000111_2 = 7$. Перевірка: $(A+B) \bmod 13 = (2 + 5) \bmod 13 = 7$. На рис. 3 представлена часова діаграма розв'язання даного прикладу в QUARTUS II.

Ступінь використання контактів даної ПЛІС становить 90 % для суматора. Ступінь використання ЛЕ даної ПЛІС становить 98 % для суматора.

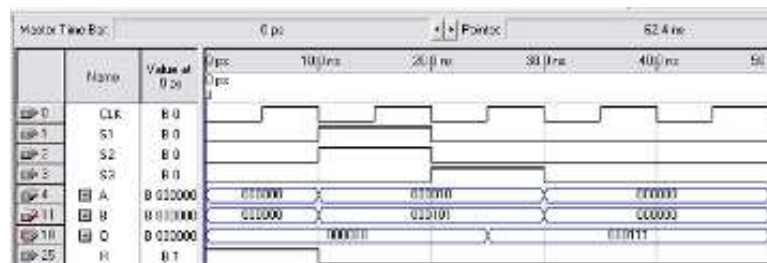


Рисунок 3 – Розв'язання прикладу у QUARTUS II

У роботі [2] наведено приклад апаратної реалізації паралельного суматора Галуа, на основі каскадного кодування елементарних, базовий примітив якого представлено на рис. 4.

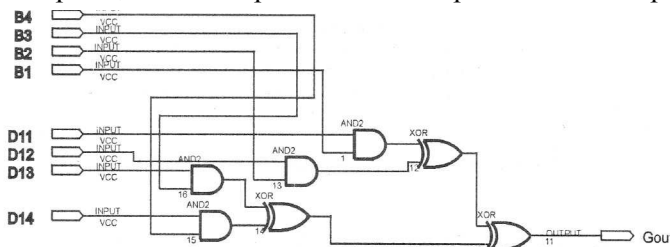


Рисунок 4 – Базовий примітив суматора Галуа: B1-B2 – входи операндів коду Галуа; D11-D14 – входи кодів з матриці коефіцієнтів; G_{out} вивід операції сумування в базисі Галуа [2]

Даний базовий примітив паралельного суматора є одно розрядним 4- бітним суматором Галуа. Для отримання повного чотирирозрядного суматора проводиться каскадування (рис. 5).

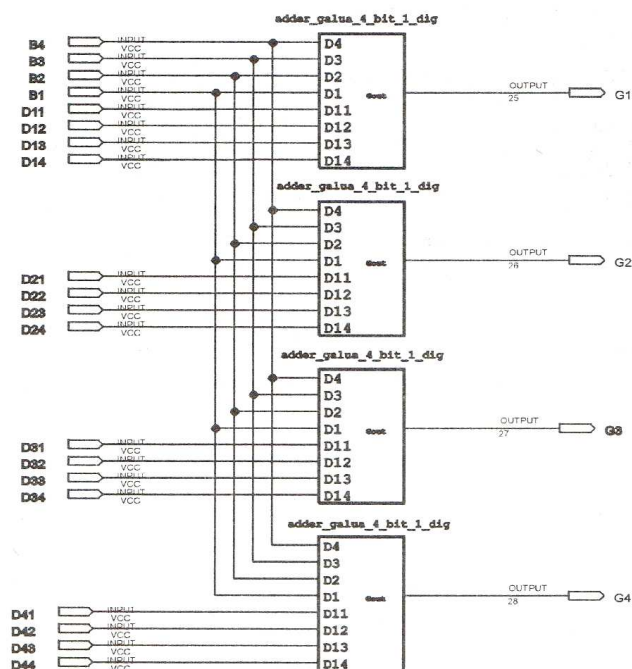


Рисунок 5 – Реалізація 4 - розрядного суматора Галуа: B1-B2 – входи операндів коду Галуа; D11-D44 – входи кодів з матриці коефіцієнтів; G1-G4 виходи бітів операції сумування у базисі Галуа[2]

Реалізація 4- розрядного суматора виконана на програмованій логічній мікросхемі фірми Altera серії MAX EPM7128, зображення експериментального дворівневого синтезатора наведено на рис. 6.

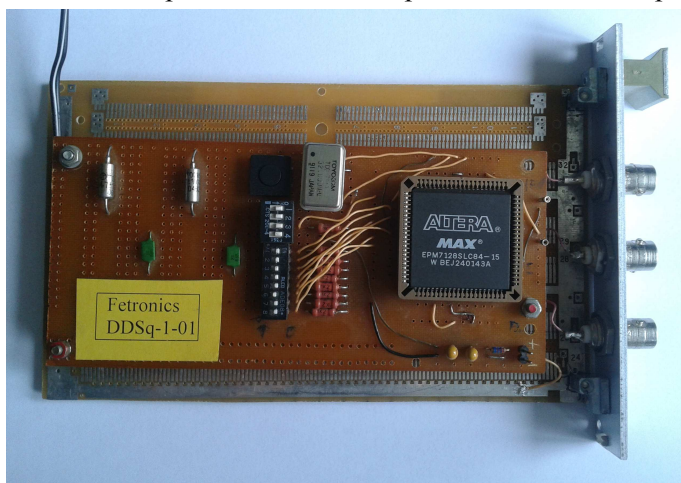


Рисунок 6 – Експериментальний синтезатор дворівневого сигналу з накопичувачем кодів на основі суматора Галуа та класичного накопичувального суматора

Експериментальні дослідження підтвердили теоретичні припущення, що використання базису в кодах Галуа дає значний приріст швидкості підсумовування кодів, зменшення фазової та частотної нестабільності вихідного сигналу (джитеру) синтезованого сигналу. Експериментальні дослідження на тактовій частоті у 32 МГц показали, що дворівневий синтезатор у кодах Галуа досягає тактової частоти опорного генератора, тоді як класичний накопичувальний суматор досяг лише 15 МГц. Що вказує на двократну перевагу пропонованого синтезатора за параметром – максимальна синтезована частота відносно частоти опорного генератора. Зі зростанням робочої частоти опорного генератора ця різниця буде лише збільшуватись.

Експериментальні порівняння швидкості суматорів та перемножувачів проведені багатьма дослідниками. Найбільш цікавими є, на думку автора, роботи [2, 4] у яких проведено комплексні дослідження з точки зору архітектури пропонованих рішень так і використанням широкої номенклатури елементної бази. В роботі [2] проведено порівняльний аналіз реалізації паралельного

суматора Галуа у ряді програмованих логічних інтегральних схем, результати якого наведені у табл. 1.

Таблиця 1 – Дослідження системних характеристик паралельних суматорів Радемахера та Галуа [2]

Суматор Галуа	Макро-ком	I/O	Розрядність						Макс. част. МГц
			8		16		32		
			Макро-ком.	I/O	Макро-ком.	I/O	Макро-ком.	I/O	
ERM3032ALC44-4	32	30	125,0	253,3	250	506,7	500	1013,3	157,13
ERM7032LC44-6	32	32	125,0	237,5	250	475	500	950	193,17
ERM9320LC84-15	320	56	12,5	135,7	25	271,4	50	542,9	86,43
EPF6010ATC100-1	880	67	4,5	113,4	9,1	226,9	18,2	453,7	69,93
EPF8282ALC84-2	208	64	19,2	118,8	38,5	237,5	76,9	475	64,52
EPF10K30ETC144-1	1728	96	2,3	79,2	4,6	158,3	9,3	316,7	81,97

На основі даних табл. 1 проведено оцінку частоти роботи паралельних суматорів Радемахера та Галуа на ПЛІС.

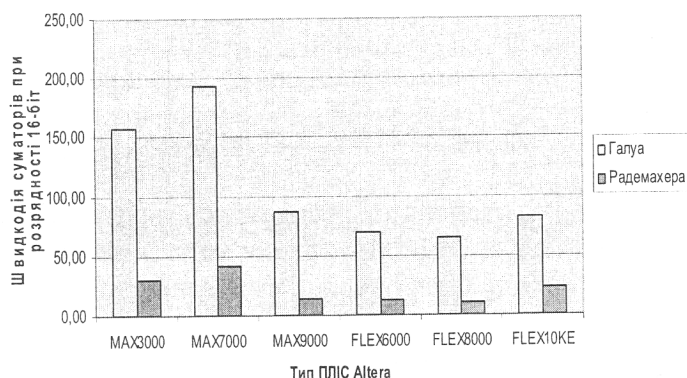


Рисунок 7 – Графік максимальної частоти роботи паралельних суматорів Радемахера та Галуа [2]

З рис. 7 видно, що паралельні суматори Галуа мають значно вищу швидкодію ніж класичні паралельні суматори однакової розрядності базису Радемахера. Максимальна швидкодія роботи суматорів у базисі Галуа до суматорів в базисі Радемахера спостерігається при їх реалізації на кристалах ПЛІС MAX7000 та MAX9000 відповідно в 4,6 та 6,2 рази. Нижчі показники швидкодії суматорів реалізованих по відношенню до теоретичних розрахунків обумовлені не оптимальністю розташування комірок ПЛІС та особливостями середовища моделювання.

ВИСНОВКИ

Розглянуто принципи реалізації прямих цифрових синтезаторів частоти (DDS – Direct Digital Synthesizers) із накопичувачем кодів на основі суматора Галуа, на основі програмованих логічних інтегральних схем. Проаналізовано функціональні схеми таких суматорів та способи нарощування розрядності суматорів, які є основою побудови накопичувачів коду. Запропоновано елементарні комірки суматорів Галуа. Проведено моделювання запропонованих рішень у середовищі розробника Quartus II фірми Altera. Розроблено експериментальний синтезатора дворівневого сигналу з накопичувачем кодів на основі суматора Галуа та класичного накопичувального суматора, проведено порівняння максимальної синтезованої частоти синтезаторами цих двох типів. Експеримент показав, що максимальна синтезована частота на основі класичного накопичувача кодів у кращому випадку менша у два рази порівняно із синтезатором на основі накопичувача кодів Галуа. Із зростанням опорної частоти синтезатора ця різниця лише збільшується, що прекрасно ілюструє порівняльна таблиця елементної бази.

Отже експериментально підтверджено, що використання синтезаторів частоти на основі накопичувачів у кодах Галуа є перспективним напрямком розвитку цифрових обчислювальних синтезаторів. Використання у структурі DDS суматорів Галуа, а в перспективі і перемножувачів кодів, дасть можливість розширити діапазон синтезованих сигналів, збільшити ефективність

використання площі кристалу, за рахунок відмови від систем синхронізації біжучого переносу, а отже зменшити кількість елементів на кристалі. Зменшення кількості елементів на кристалі, дасть можливість зменшити енергоспоживання синтезатора, що, у свою чергу, забезпечить використання таких синтезаторів у портативній апаратурі.

ЛІТЕРАТУРА

1 Полікарівських О.І Застосування нового теоретико-числового базису для побудови високошвидкісних обчислювальних синтезаторів частоти (DDS) / О.І. Полікарівських / Вимірювальна та обчислювальна техніка в технологічних процесах.–2013.–№1.– С.20-27.

2 Николайчук Я.М Коды поля Галуа: теория та застосування / Николайчук Я.М. – Тернопіль: ТзОВ “Тернограф”, 2012. – 576 с.

3 Полікарівських О.І Архітектура прямого цифрового синтезатора частоти для рішень цифрового радіо / О.І. Полікарівських //Вісник Хмельницького національного університету.– 2012.Том.3.–С.142-146.

4 Червяков Н.И. Принципы построения модулярных сумматоров и умножителей / Н.И. Червяков, И.В. Дяченко //Сборник научных трудов Ставропольского государственного университета. – 2006. – №1. – С.26–39.